SORU.1)

.MODEL NMOSFET NMOS(VTO=1 KP=20U GAMMA=0.37 PHI=0.6 CBD=3.1E-15 +CBs=3.1E-15)

M1 2 1 0 0 NMOSFET L=5U W=10U

R1 3 2 50K

C1 2 0 1P

VDC 3 0 DC 5

VIN 1 0 PULSE(0 5 0NS 2NS 2NS 500NS 1US)

.control

tran 10ns 2us

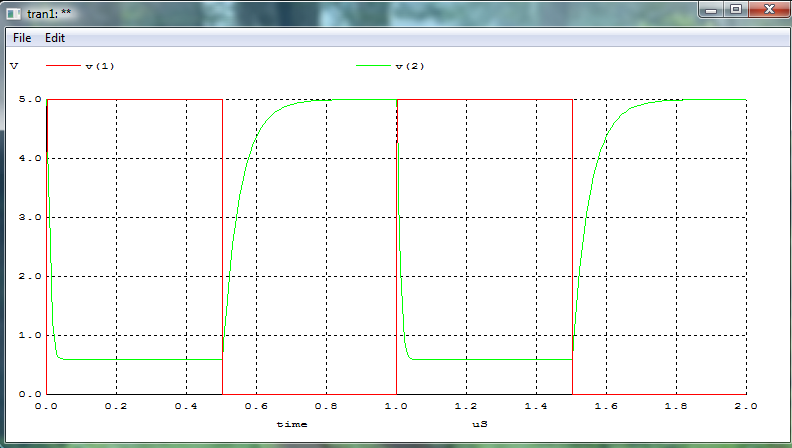
plot v(1) v(2)

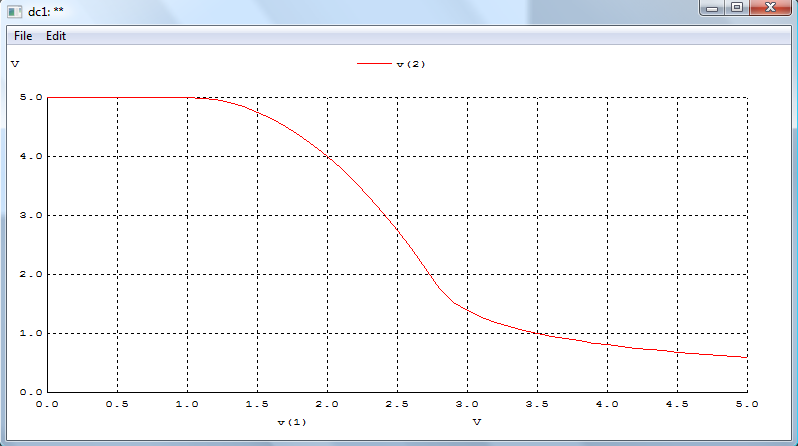
dc VIN 0 5 0.1

plot v(2) vs v(1)

.endc

.end





SORU.2)

Vdc= 3 V için;

.MODEL NMOSFET NMOS(VTO=1 KP=20U GAMMA=0.37 PHI=0.6 CBD=3.1E-15 +CBs=3.1E-15)

M1 2 1 0 0 NMOSFET L=5U W=10U

R1 3 2 50K

C1 2 0 1P

VDC 3 0 DC 3

VIN 1 0 PULSE(0 5 0NS 2NS 2NS 500NS 1US)

.control

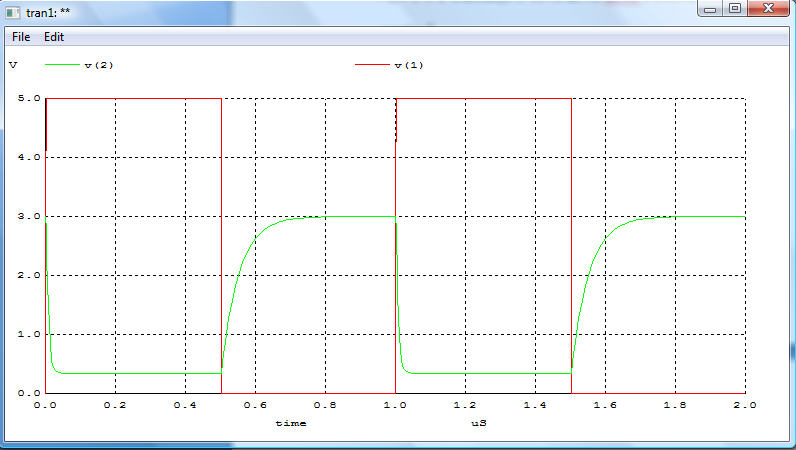
tran 10ns 2us

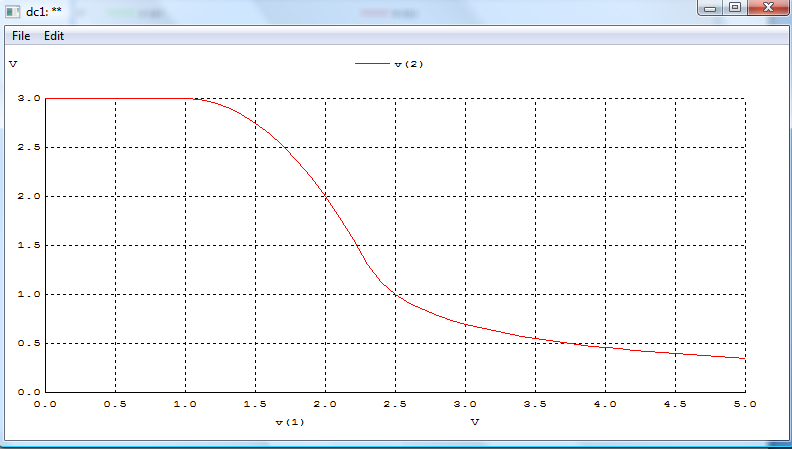
plot v(1) v(2)

dc VIN 0 5 0.1

plot v(2) vs v(1)

.endc .end





SORU.3)

Sonuçların ideal sonuçlardan farkı simulatör hesaplama yaparken sıcaklık, küçük iç dirençler, parazitik etkiler gibi pek çok parametreyi de katarak gerçek duruma çok yakın değerlerle çalışmasıdır. İdeal durumda bu gibi etkileri hesaba katmayız

İdeal durumun getirdiği avantaj, ufak etkileri göz ardı ederek basit formüller ile kolay hesaplamalar yapabilmemizdir.

Girişe uygulanan Vin sinyali düştüğü zaman noise margin ler de düşerek devre gürültülere daha açık hale gelmektedir. Girişteki Vin’in genliği ne olursa olsun Vout sinyalinin salınımı kaynak gerilimini geçmemektedir.